

Handwritten signature

J1000 U.S. PTO  
10/032074



# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 :  
Application Number

특허출원 2001년 제 23402 호  
PATENT-2001-0023402

출원 년 월 일 :  
Date of Application

2001년 04월 30일  
APR 30, 2001

출원인 :  
Applicant(s)

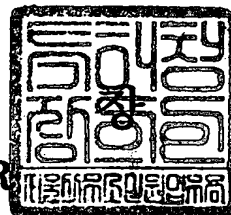
주식회사 하이닉스반도체  
Hynix Semiconductor Inc.



2001 년 07 월 24 일

특 허 청

COMMISSIONER



Inventor: SHIN  
Filing Date: December 31, 2001  
Attorney Docket: 282792

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2001.04.30
【발명의 명칭】	반도체 소자의 콘택 플러그 형성방법
【발명의 영문명칭】	METHOD FOR FORMING CONTACT PLUG OF SEMICONDUCTOR DEVIC
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	신동석
【성명의 영문표기】	SHIN,Dong Suk
【주민등록번호】	691126-1074423
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 아미리 현대아파트 705-1401
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	4 면 4,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	36 항 1,261,000 원
【합계】	1,294,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

## 【요약서】

## 【요약】

본 발명은 실리콘 에피택셜 성장을 이용한 콘택 플러그 형성방법을 개시한다. 개시된 본 발명의 방법은 콘택홀에 의해 노출된 실리콘 기판 영역에 콘택 플러그로서 LPCVD(Low Pressure Chemical Vapor Deposition) 공정으로 실리콘 에피층을 성장시키되, 상기 실리콘 기판과의 콘택 영역에서는 단결정 실리콘으로 성장시키고, 상기 콘택홀의 측벽 영역에서는 폴리실리콘으로 성장시킨다. 또한, 개시된 본 발명의 다른 방법은 콘택홀에 의해 노출된 실리콘 기판 영역에 콘택 플러그 물질로서 LPCVD 공정으로 실리콘 에피층을 성장시키되, 500Å까지는 단결정 실리콘으로 성장시키고, 이후에는 비정질 또는 폴리실리콘으로 성장시킨다. 본 발명의 방법들에 있어서, 실리콘 에피층 성장의 반응 가스로서는 MS(monosilane :  $\text{SiCl}_2\text{H}_2$ )와  $\text{H}_2$  가스를 사용하거나, 또는, DCS(dichlorosilane :  $\text{SiCl}_2\text{H}_2$ )와  $\text{H}_2$  가스를 사용하며, 도펀트로서는  $\text{PH}_3$  가스를 사용한다. 또한, 본 발명의 방법들에 있어서, 상기 실리콘 에피층의 성장 전, 건식 및 습식 세정과  $\text{H}_2$  베이킹을 수행한다. 본 발명에 따르면, 800℃ 이상의 고온이 요구되는 종래의 실리콘 에피층 성장 공정에 비해, 공정 온도를 700℃ 이하로 낮출 수 있기 때문에 실리콘 에피층 성장 공정에 기인하는 소자 특성의 변동을 방지할 수 있다.

## 【대표도】

도 1

## 【명세서】

## 【발명의 명칭】

반도체 소자의 콘택 플러그 형성방법{METHOD FOR FORMING CONTACT PLUG OF SEMICONDUCTOR DEVICE}

## 【도면의 간단한 설명】

도 1은 본 발명의 일실시예에 따라 콘택 플러그로서 성장된 실리콘 에피층을 설명하기 위한 단면도.

도 2는 본 발명의 다른 실시예에 따라 콘택 플러그로서 성장된 실리콘 에피층을 설명하기 위한 단면도.

도 3은 본 발명의 실시예에 따라 형성된 실리콘 에피층으로 이루어진 콘택 플러그를 도시한 단면도.

도 4는 도 3에 도시된 반도체 소자에 대한 TEM 사진.

- 도면의 주요부분에 대한 부호의 설명 -

- |               |                |
|---------------|----------------|
| 1 : 실리콘 기판    | 2 : 층간절연막      |
| 3 : 콘택홀       | 4 : 실리콘 에피층    |
| 4a : 단결정 실리콘  | 4b : 폴리실리콘     |
| 11 : 소자분리막    | 12 : 게이트 산화막   |
| 13 : 게이트 전극   | 13a : 폴리실리콘 패턴 |
| 13b : 텅스텐 패턴  | 14 : 하드 마스크막   |
| 15 : 질화막 스페이서 | 16 : 콘택 플러그    |

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 반도체 소자의 콘택 플러그 형성방법에 관한 것으로, 보다 상세하게는, 실리콘 에피택셜 성장을 이용하여 콘택 플러그를 형성하되, 공정 온도에 기인하는 소자 특성의 저하를 방지할 수 있는 콘택 플러그 형성방법에 관한 것이다.
- <14> 반도체 소자의 고집적화가 진행됨에 따라 회로 패턴의 선폭이 점점 감소되고 있으며, 이러한 경향에 부합해서 우수한 소자 특성을 얻기 위한 다양한 공정 기술들이 적용 및 개발되고 있다. 특히, 소자의 동작 효율을 높이기 위해 콘택 공정에 대한 새로운 공정 기술들이 개발되고 있다.
- <15> 상기 콘택 공정에 대한 새로운 기술의 요구는 패턴 선폭의 미세화가 달성되더라도, 하부 패턴과 상부 패턴간의 콘택이 불안정하거나, 또는, 하부 패턴과 상부 패턴간의 콘택 저항이 증가될 경우, 소자의 신뢰성이 확보되지 못함은 물론, 고속 동작이 곤란하기 때문이다. 따라서, 고집적 반도체 소자, 예컨대, 256M 이상의 메모리 소자는 하부 패턴과 상부 패턴간의 안정적인 콘택을 위해, 자기정렬콘택(Self Aligned Contact) 공정이 적용되어 제조되고 있다.
- <16> 상기 자기정렬콘택 공정은 기존의 콘택 공정과 비교해서 다음과 같은 공정 순으로 진행된다. 우선, 기존의 콘택 공정은 하부 패턴의 일부만을 노출시키도록 콘택홀을 형성하는 제1공정과, 콘택 플러그가 형성되도록 상기 콘택홀 내에 도전막을 매립시키는 제2공정, 그리고, 상기 콘택 플러그와 콘택되게 상부 패턴을 형성하는 제3공정으로 이루어

진다. 반면, 상기 자기정렬콘택 공정은 소정 개의 워드라인들과 상기 워드라인들 사이의 실리콘 기판 영역을 모두 노출시키도록 콘택홀을 형성하는 제1공정과, 도전막을 증착하는 제2공정, 상기 워드라인들 사이에 각각 콘택 플러그가 형성되도록 상기 도전막을 연마하는 제3공정, 그리고, 상기 콘택 플러그와 콘택되게 상부 패턴을 형성하는 제4공정으로 이루어진다.

<17> 이러한 자기정렬콘택 공정은 워드라인들 사이의 미세 폭의 실리콘 기판 영역들을 포함해서 비교적 큰 사이즈로 콘택홀을 형성하기 때문에 하부 패턴과 상부 패턴간의 안정적인 콘택을 이룰 수 있다. 또한, 이러한 자기정렬콘택 공정은 수 개의 콘택 플러그를 동시에 형성하기 있기 때문에 공정 단순화의 잇점도 있다.

<18> 그러나, 상기 자기정렬콘택 공정을 통해 제조된 반도체 소자는 하부 패턴과 상부 패턴간의 안정한 콘택은 확보되지만, 하부 패턴과 상부 패턴간의 콘택 저항의 증가 억제는 확보되지 못한다. 자세하게, 통상의 콘택 플러그 물질은 폴리실리콘이다. 따라서, 이상적인 콘택 계면 상태라면, 실리콘 기판과 폴리실리콘 사이의 콘택 저항은 서로 동일한 물질이기 때문에 매우 작은 값이어야 하지만, 실제로, 실리콘 기판과 폴리실리콘간의 콘택 저항은 비교적 높은 값을 나타낸다. 이것은 콘택 공정이 진행되는 과정에서 실리콘 기판 표면에 형성된 자연 산화막, 또는, 잔류된 이물질이 상기 실리콘 기판과 폴리실리콘 사이에 개재되기 때문이며, 또한, 실리콘 기판 표면에 발생된 식각 데미지 때문이다.

<19> 한편, 폴리실리콘 콘택 플러그 형성에 있어서, 콘택홀 형성을 위한 습식 식각 후에 시간적 여유없이 폴리실리콘을 증착할 경우, 콘택 저항의 증가는 어느 정

도 억제 가능하다. 그러나, 단위 셀 면적의 감소로 콘택홀 크기가 현격하게 감소됨에 따라, 상기한 방법으로는 콘택 면적의 감소에 따른 콘택 저항의 증가 문제를 극복할 수 없다.

<20> 따라서, 콘택 면적 감소에 따른 콘택 저항의 증가 문제를 해결할 수 있는 방안으로서, 선택적 에피택셜 성장(Selective Epitaxial Growth : 이하, SEG)에 의한 실리콘 에피층을 콘택 플러그로 이용하는 기술이 제안되었다. 이러한 실리콘 에피층은 이미 얇은 접합 형성 및 소자분리 공정에 적용되어 왔으며, 최근에 들어서는 콘택 플러그 형성에의 적용으로 확장되고 있다.

<21> 상기 실리콘 에피층을 성장시키기 위한 대표적 방법으로 LPCVD(Low Pressure Chemical Vapor Deposition) 공정을 들 수 있다. 이러한 LPCVD 공정에 의한 실리콘 에피층의 성장시, 반응 가스로서는 DCS(dichlorosilane :  $\text{SiCl}_2\text{H}_2$ )와  $\text{H}_2$  및  $\text{HCl}$ 의 혼합 가스, 또는, MS(monosilane :  $\text{SiH}_4$ )와  $\text{H}_2$  및  $\text{HCl}$ 의 혼합 가스가 사용되며, 도펀트로서는  $\text{PH}_3$  가스가 사용된다.

【발명이 이루고자 하는 기술적 과제】

<22> 그러나, 상기 실리콘 에피층 성장을 위한 종래의 LPCVD 공정은  $800^\circ\text{C}$  이상의 고온을 필요로하기 때문에 소자의 안정한 특성 확보에 어려움이 있다. 즉,  $800^\circ\text{C}$  이상의 고온으로 실리콘 에피층 성장을 수행할 경우, 접합 영역에 도핑된 불순물의 농도가 심하게 변화되기 때문에 소자 특성의 저하가 초래된다.

<23> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 실리콘 에피택셜 성장을 이용하여 콘택 플러그를 형성하되, 실리콘 에피층의 성장을 소자 특

성에 악영향을 미치지 않는 온도에서 수행할 수 있도록 하는 콘택 플러그 형성방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<24>       상기와 같은 목적을 달성하기 위한 본 발명의 일실시예에 따른 콘택 플러그 형성방법은, 절연막에 형성된 콘택홀에 의해서 노출된 실리콘 기판 영역 상에 콘택 플러그 물질로서 LPCVD 공정으로 실리콘 에피층을 성장시키되, 상기 실리콘 에피층은 600~700℃의 온도에서 성장시키며, 상기 실리콘 기판과의 콘택 영역에서는 단결정 실리콘으로 성장시키고, 상기 콘택홀의 측벽 영역에서는 폴리실리콘으로 성장시키는 것을 특징으로 한다.

<25>       또한, 본 발명의 다른 실시예에 따른 콘택 플러그 형성방법은, 절연막에 형성된 콘택홀에 의해서 노출된 실리콘 기판 영역 상에 콘택 플러그 물질로서 LPCVD 공정으로 실리콘 에피층을 성장시키되, 상기 실리콘 에피층은 550~700℃의 온도에서 성장시키며, 성장 초기에는 단결정 실리콘으로 성장시키고, 이후에는 비정질 또는 폴리실리콘으로 성장시키는 것을 특징으로 한다.

<26>       게다가, 본 발명에 따른 콘택 플러그 형성방법은, 콘택홀을 갖는 절연막이 형성된 실리콘 기판을 제공하는 단계; 상기 콘택홀에 의해 노출된 실리콘 기판 영역의 표면을 건식 및 습식 세정하는 단계; 상기 실리콘 기판을 LPCVD 챔버 내에 장입시켜, 상기 콘택홀에 의해 노출되고, 그리고, 건식 및 습식 세정된 실리콘 기판 영역의 표면을 인-시튜로 H<sub>2</sub> 베이킹하는 단계; 및 상기 콘택홀에 의해 노출된 실리콘 기판 영역 상에 콘택 플러그 물질로서 LPCVD 공정으로 실리콘 에피층을 성장시키되, 550~700℃의 온도에서 상기 실리콘 기판과의 콘택 영역과 그 이외의 영역간에 상이한 결정 구조를 갖도록 성장시



키는 단계를 포함한다.

- <27> 여기서, 본 발명의 방법은 실리콘 에피층 성장을 위한 반응 가스로서 MS와 H<sub>2</sub> 가스를 사용하거나, 또는, DCS와 H<sub>2</sub> 가스를 사용하며, 도펀트로서 PH<sub>3</sub> 가스를 사용한다. 이 때, 상기 MS 가스 또는 DCS 가스의 유량은 100~500sccm으로 조절하고, H<sub>2</sub> 가스의 유량은 2,000~20,000sccm으로 조절하며, PH<sub>3</sub> 가스의 유량은 실리콘 에피층의 도핑 농도가  $1 \times 10^{19} \sim 10^{21}$  atoms/cc 가 되도록 100~300 sccm으로 조절한다.
- <28> 또한, 본 발명의 방법은 실리콘 에피층을 1~200Torr의 압력으로 성장시킨다.
- <29> 게다가, 본 발명의 방법은, 실리콘 에피층의 성장 전, 건식 및 습식 세정과 H<sub>2</sub> 베이킹을 수행한다.
- <30> 본 발명에 따르면, 실리콘 기판의 표면에서는 단결정 실리콘으로 성장시키고, 나머지 부분에서는 비정질 또는 폴리실리콘으로 성장시키기 때문에 공정 온도를 700℃ 이하로 낮출 수 있다.
- <31> (실시예)
- <32> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.
- <33> 본 발명에 따른 실리콘 에피택셜 성장을 이용한 콘택 플러그 형성방법은, 실리콘 에피층의 성장시, 반응 가스로서 선택성을 부여하는 HCl 가스의 사용을 생략하며, 그리고, 성장 온도를 낮추기 위해 실리콘 기판과의 콘택 부분과 그 이외 부분에서 상이한 결정 구조로 성장시킨다.
- <34> 도 1은 본 발명의 일실시예에 따라 콘택 플러그로서 성장된 실리콘 에피층을 설명

하기 위한 단면도이다. 도시된 바와 같이, 실리콘 에피층(4)은 실리콘 기판(1)의 콘택 영역에서는 단결정 실리콘(4a)으로 성장되는 반면, 콘택홀(3)의 측벽에서는 폴리실리콘(4b)으로 성장된다.

<35> 여기서, 상기 실리콘 에피층(4)의 성장은 600~700℃로 수행한다. 상기 실리콘 에피층(4) 성장을 위한 반응 가스로는 MS와 H<sub>2</sub> 가스를 기본으로 사용하며, 도펀트로서 PH<sub>3</sub> 가스를 사용한다. 상기 MS 가스 대신에 DCS 가스를 사용하는 것도 가능하다. 상기 MS 가스 또는 DCS 가스의 유량은 100~500sccm, 그리고, H<sub>2</sub> 가스의 유량은 2,000~20,000sccm으로 조절하며, 상기 PH<sub>3</sub> 가스의 유량은 100~300sccm 정도로 조절하여 도핑 농도가  $1 \times 10^{19} \sim 10^{21}$  atoms/cc가 되도록 한다. 또한, 상기 실리콘 에피층(4)의 성장은 1~200Torr의 압력으로 수행한다.

<36> 본 발명의 일실시예에 따르면, 실리콘 기판(1)과의 콘택 부분에서는 단결정 실리콘이 성장되기 때문에 상기 실리콘 기판(1)과 실리콘 에피층(4)간의 콘택 면적의 감소에 따른 콘택 저항 증가는 억제될 수 있다. 또한, 실리콘 에피층(4)의 전체를 단결정 실리콘으로 성장시키는 것이 아니라, 실리콘 기판(1)과의 콘택 부분만을 단결정 실리콘(4a)으로 성장시키기 때문에 상기 실리콘 에피층(4)의 성장 온도를 소자 특성에 악영향을 미칠 수 있는 임계 온도 보다 낮은 온도인 700℃ 이하, 바람직하게는, 600~700℃로 낮출 수 있다.

<37> 한편, 이 실시예에 있어서, 상기 단결정 실리콘(4a)은 원뿔 모양으로 성장되며, 원뿔의 표면에서 폴리실리콘(4b)과의 계면이 형성된다. 그런데, 상기 계면은 인-시튜 성장에 의해 형성되는 것이므로, 상기 계면에 자연산화막 등은 존재하지 않는다.

- <38> 또한, 이 실시예에 있어서, 상기 실리콘 에피층(4)의 성장 전,  $\text{NF}_3/\text{O}_2$  플라즈마를 이용한 건식 세정과 BOE와  $\text{H}_2\text{SO}_4$ 의 혼합 용액을 이용한 습식 세정을 각각 20~30초 동안 수행하며, 이어서, 실리콘 에피층 성장을 위한 LPCVD 챔버 내에서 인-시튜로 700~1,000℃ 온도에서 60~300초 동안  $\text{H}_2$  베이킹을 수행한다.
- <39> 도 2는 본 발명의 다른 실시예에 따라 콘택 플러그로서 성장된 실리콘 에피층을 설명하기 위한 단면도이다. 도시된 바와 같이, 실리콘 에피층(4)은 성장 초기, 예컨대, 실리콘 기판(1) 표면으로부터 500Å까지는 단결정 실리콘(4a)으로 성장되며, 나머지는 비정질실리콘이나 폴리실리콘, 바람직하게는, 폴리실리콘(4b)으로 성장된다.
- <40> 여기서, 상기 실리콘 에피층(4) 성장을 위한 반응 가스로서는, 이전 실시예와 마찬가지로, MS와  $\text{H}_2$  가스를 기본으로 사용하며, 상기 MS 가스 대신에 DCS 가스를 사용하는 것도 가능하다. 그리고, 도펀트로서는  $\text{PH}_3$  가스를 사용한다. 상기 MS 가스 또는 DCS 가스의 유량은 100~500sccm, 그리고,  $\text{H}_2$  가스의 유량은 2,000~20,000sccm으로 조절하며, 상기  $\text{PH}_3$  가스의 유량은 100~300sccm 정도로 조절하여 도핑 농도가  $1 \times 10^{19} \sim 10^{21}$  atoms/cc가 되도록 한다. 또한, 상기 실리콘 에피층(4)의 성장은 1~200Torr의 압력으로 수행한다.
- <41> 게다가, 상기 실리콘 에피층(4)의 성장 초기, 즉, 단결정 실리콘(4a)의 성장은 이전 실시예와 유사한 조건으로 수행하면서 공정 시간을 1분 이내, 바람직하게는, 30~60초로 한정하며, 그리고, 비정질실리콘이나 폴리실리콘(4b)의 성장은 550~650℃, 보다 정확하게는, 550~610℃로 수행한다.
- <42> 아울러, 상기 실리콘 에피층(4)의 성장 전,  $\text{NF}_3/\text{O}_2$  플라즈마를 이용한 건식 세정과

BOE와  $H_2SO_4$ 의 혼합 용액을 이용한 습식 세정을 각각 20~30초 동안 수행하며, 이어서, 실리콘 에피층 성장을 위한 LPCVD 챔버내에서 인-시튜로 700~1,000℃ 온도에서 60~300초 동안  $H_2$  베이킹을 수행한다.

<43> 본 발명의 다른 실시예에 따르면, 콘택 면적의 감소에 따른 실리콘 기판(1)과 실리콘 에피층(4)간의 콘택 저항의 증가는 억제되며, 특히, 공정 온도를 이전 실시예 보다 더욱 낮출 수 있다.

<44> 도 3은 본 발명의 실시예에 따라 형성된 실리콘 에피층으로 이루어진 콘택 플러그를 도시한 단면도로서, 이를 참조하여 그 형성방법을 설명하면 다음과 같다.

<45> 주지의 반도체 제조 공정을 통해, 실리콘 기판(1) 내에 액티브 영역을 한정하는 소자분리막들(11)을 형성하고, 그런다음, 상기 실리콘 기판(1)의 액티브 영역 상에 게이트 산화막(12)과, 폴리실리콘 패턴(13a)과 텅스텐 패턴(13b)의 적층으로된 게이트 전극(13) 및 하드 마스크막(14)의 적층 구조물들을 형성하며, 이어서, 상기 적층 구조물들의 측벽에 질화막 스페이서(15)를 형성한다. 그 다음, 상기 결과물 상에 층간절연막(15)을 증착한 후, 상기 하드 마스크(14)이 노출되도록, 상기 층간절연막(15)을 연마 또는 에치백하고, 이어서, 상기 적층 구조물들과 콘택 플러그가 형성될 실리콘 기판 영역들을 모두 노출시키는 콘택홀(도시안됨)을 형성한다.

<46> 다음으로, 노출된 실리콘 기판(1) 표면에 형성된 자연 산화막, 또는, 잔류된 이물질을 제거하면서, 동시에, 콘택홀 형성을 위한 식각시에 기판 표면에서 발생된 식각 데미지 회복을 위해, 먼저,  $NF_3/O_2$  플라즈마를 이용한 건식 세정과 BOE와  $H_2SO_4$ 의 혼합 용액을 이용한 습식 세정을 각각 20~30초 동안 수행하고, 이어서, 실리콘 에피층 성장을

위한 LPCVD 챔버 내에 상기 단계까지의 결과물을 장입시킨 상태에서 인-시튜로 700~1,000℃ 온도에서 60~300초 동안 H<sub>2</sub> 베이킹을 수행한다.

<47> 그 다음, 콘택 플러그 형성 영역, 즉, 적층 구조물들 사이의 실리콘 기판 영역 상에 LPCVD 공정을 이용한 실리콘 에피택셜 성장을 통해 콘택 플러그 물질로서 실리콘 에피층(4)을 성장시킨다. 이때, 상기 실리콘 에피층(4)은 700℃ 이하, 바람직하게는, 600~700℃ 온도에서 성장시키며, 실리콘 기판(1)과의 콘택 영역에서는 단결정 실리콘(4a)로 성장시키고, 콘택홀의 측벽에서는 폴리실리콘(4b)으로 성장시킨다. 또한, 전술한 바와 같이 상기 실리콘 에피층(4) 성장을 위한 반응 가스로는 MS와 H<sub>2</sub> 가스를 기본으로 사용하며, 도펀트로서는 PH<sub>3</sub> 가스를 사용한다. 상기 MS 가스 대신에 DCS 가스를 사용할 수도 있다. 게다가, 상기 실리콘 에피층(4)의 성장은 1~200Torr의 압력으로 수행한다.

<48> 계속해서, 실리콘 에피층(4)에 대한 CMP(Chemical Mechanical Polishing), 또는, 에치 백(etch back)을 수행함으로써, 상기 실리콘 에피층(4)으로 이루어진 콘택 플러그(16)를 형성한다.

<49> 도 4는 도 3에 도시된 소자에 대한 TEM 사진으로서, 보다 상세하게는, 온도가 635℃, 압력이 120Torr, Ms의 유량이 200sccm, H<sub>2</sub>의 유량이 5000sccm, 그리고, PH<sub>3</sub>의 유량이 300sccm인 공정 조건하에서 성장시킨 실리콘 에피층의 TEM 사진이다. 보여지는 바와 같이, 실리콘 기판(1)과의 콘택 부분에서는 원뿔 모양으로 단결정 실리콘(4a)이 성장되며, 나머지 부분에서는 폴리실리콘(4b)으로 성장된다.

<50> 전술한 바와 같은 본 발명의 실시예에 따른 콘택 플러그 형성방법은, 실리콘 에피층을 성장시키되, 실리콘 기판과의 콘택 영역에서는 단결정 실리콘으로 성장시키고, 그

이외 영역에서는 폴리실리콘으로 성장시킴으로써, 700℃ 이하의 저온 공정으로도 실리콘 에피층의 성장을 이룰 수 있으며, 아울러, 상기 실리콘 기판과의 계면 특성을 개선시킨 콘택 플러그를 형성할 수 있다.

【발명의 효과】

- <51>       이상에서와 같이, 본 발명의 방법은 콘택 플러그 물질로서 실리콘 에피층을 사용하  
되, 상기 실리콘 에피층의 성장시, 영역 별로 상이한 결정 상태로 성장시키는 것을  
통해, 상기 실리콘 에피층의 성장 온도를 소자 특성 저하를 유발하지 않는 임계온도인  
700℃ 이하로 낮출 수 있다.
- <52>       따라서, 실리콘 에피층으로 콘택 플러그를 형성하는 것을 통해 콘택 면적의 감소에  
도 불구하고 콘택 저항의 증가를 방지할 수 있으며, 아울러, 상기 실리콘 에피층을 저온  
공정으로 성장시킬 수 있어, 공정 온도에 따른 소자 특성 저하도 방지할 수 있는 바,  
결국, 본 발명의 방법은 고집적 및 고속 소자의 제조에 매우 유리하게 적용할 수 있다.
- <53>       기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수  
있다.

## 【특허청구범위】

## 【청구항 1】

절연막에 형성된 콘택홀에 의해서 노출된 실리콘 기판 영역 상에 콘택 플러그 물질로서 LPCVD(Low Pressure Chemical Vapor Deposition) 공정으로 실리콘 에피층을 성장시키되,

상기 실리콘 에피층은 600~700℃의 온도에서 성장시키며, 상기 실리콘 기판과의 콘택 영역에서는 단결정 실리콘으로 성장시키고, 상기 콘택홀의 측벽 영역에서는 폴리실리콘으로 성장시키는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 2】

제 1 항에 있어서, 상기 실리콘 에피층 성장을 위한 반응 가스로서 MS(monosilane :  $\text{SiH}_4$ )와  $\text{H}_2$  가스, 또는, DCS(Diclorosilane :  $\text{SiCl}_2\text{H}_2$ )와  $\text{H}_2$  가스를 사용하며, 도펀트로서  $\text{PH}_3$  가스를 사용하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 3】

제 2 항에 있어서, 상기 MS 가스 또는 DCS 가스의 유량은 100~500sccm,  $\text{H}_2$  가스의 유량은 2,000~20,000sccm으로 조절하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 4】

제 2 항에 있어서, 상기  $\text{PH}_3$  가스의 유량은

도핑 농도가  $1 \times 10^{19} \sim 10^{21}$  atoms/cc가 되도록 100~300sccm으로 조절하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 5】

제 1 항에 있어서, 상기 실리콘 에피층 성장은, 1~200Torr의 압력으로 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 6】

제 1 항에 있어서, 상기 실리콘 에피층의 성장 전, 상기 콘택홀에 의해 노출된 실리콘 기판 영역의 표면에 대한 건식 및 습식 세정과 H<sub>2</sub> 베이킹을 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 7】

제 6 항에 있어서, 상기 건식 세정은

NF<sub>3</sub>/O<sub>2</sub> 플라즈마를 이용하여 20~30초 동안 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 8】

제 6 항에 있어서, 상기 습식 세정은

BOE와 H<sub>2</sub>SO<sub>4</sub>의 혼합 용액을 이용하여 20~30초 동안 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 9】

제 6 항에 있어서, 상기 H<sub>2</sub> 베이킹은

인-시튜(in-situ)로 700~1,000℃ 온도에서 60~300초 동안 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.



## 【청구항 10】

절연막에 형성된 콘택홀에 의해서 노출된 실리콘 기판 영역 상에 콘택 플러그 물질로서 LPCVD(Low Pressure Chemical Vapor Deposition) 공정으로 실리콘 에피층을 성장시키되,

상기 실리콘 에피층은 550~700℃의 온도에서 성장시키며, 성장 초기에는 단결정 실리콘으로 성장시키고, 이후에는 비정질실리콘이나 폴리실리콘으로 성장시키는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 11】

제 10 항에 있어서, 상기 실리콘 에피층 성장을 위한 반응 가스로서 MS(monosilane :  $\text{SiH}_4$ )와  $\text{H}_2$  가스, 또는, DCS(Diclorosilane :  $\text{SiCl}_2\text{H}_2$ )와  $\text{H}_2$  가스를 사용하며, 도펀트로서  $\text{PH}_3$  가스를 사용하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 12】

제 11 항에 있어서, 상기 MS 가스 또는 DCS 가스의 유량은 100~500sccm,  $\text{H}_2$  가스의 유량은 2,000~20,000sccm으로 조절하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 13】

제 11 항에 있어서, 상기  $\text{PH}_3$  가스의 유량은

도핑 농도가  $1 \times 10^{19} \sim 10^{21}$  atoms/cc가 되도록 100~300sccm으로 조절하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

**【청구항 14】**

제 10 항에 있어서, 상기 실리콘 에피층 성장은, 1~200Torr의 압력으로 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

**【청구항 15】**

제 10 항에 있어서, 상기 단결정 실리콘은 500Å까지 성장시키는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

**【청구항 16】**

제 15 항에 있어서, 상기 단결정 실리콘의 성장은, 30~60초 동안 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

**【청구항 17】**

제 15 항에 있어서, 상기 단결정 실리콘의 성장은, 600~700℃로 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

**【청구항 18】**

제 10 항에 있어서, 상기 비정질실리콘이나 폴리실리콘의 성장은 550~650℃로 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

**【청구항 19】**

제 18 항에 있어서, 상기 비정질실리콘이나 폴리실리콘의 성장은 550~610℃로 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 20】

제 10 항에 있어서, 상기 실리콘 에피층의 성장 전, 상기 콘택홀에 의해 노출된 실리콘 기판 영역의 표면에 대한 건식 및 습식 세정과  $H_2$  베이킹을 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 21】

제 20 항에 있어서, 상기 건식 세정은

$NF_3/O_2$  플라즈마를 이용하여 20~30초 동안 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 22】

제 20 항에 있어서, 상기 습식 세정은

BOE와  $H_2SO_4$ 의 혼합 용액을 이용하여 20~30초 동안 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 23】

제 20 항에 있어서, 상기  $H_2$  베이킹은

인-시튜로 800~900℃ 온도에서 60~300초 동안 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 24】

콘택홀을 갖는 절연막이 형성된 실리콘 기판을 제공하는 단계;

상기 콘택홀에 의해 노출된 실리콘 기판 영역의 표면을 익스-시튜로 건식 및 습식 세정하는 단계;

상기 실리콘 기판을 LPCVD 챔버 내에 장입시켜, 상기 콘택홀에 의해 노출되고, 그리고, 건식 및 습식 세정된 실리콘 기판 영역의 표면을 인-시튜로  $H_2$  베이킹하는 단계; 및

상기 콘택홀에 의해 노출된 실리콘 기판 영역 상에 콘택 플러그 물질로서 LPCVD(Low Pressure Chemical Vapor Deposition) 공정으로 실리콘 에피층을 성장시키되,  $550\sim 700^\circ C$ 의 온도에서 상기 실리콘 기판과의 콘택 영역과 그 이외의 영역간에 상이한 결정 구조를 갖도록 성장시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

【청구항 25】

제 24 항에 있어서, 상기 건식 세정은

$NF_3/O_2$  플라즈마를 이용하여 20~30초 동안 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

【청구항 26】

제 24 항에 있어서, 상기 습식 세정은

BOE와  $H_2SO_4$ 의 혼합 용액을 이용하여 20~30초 동안 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

【청구항 27】

제 24 항에 있어서, 상기  $H_2$  베이킹은

$700\sim 1,000^\circ C$  온도에서 60~300초 동안 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

**【청구항 28】**

제 24 항에 있어서, 상기 실리콘 에피층은, 실리콘 기판과의 콘택 영역에서는 단결정 실리콘으로 성장시키고, 상기 콘택홀 측벽에서는 폴리실리콘으로 성장시키는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

**【청구항 29】**

제 28 항에 있어서, 상기 실리콘 에피층은, 600~700℃로 성장시키는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

**【청구항 30】**

제 24 항에 있어서, 상기 실리콘 에피층은,  
실리콘 기판의 표면으로부터 500 Å까지는 단결정 실리콘으로 성장시키고, 그 이상의 두께부터는 비정질 또는 폴리실리콘으로 성장시키는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

**【청구항 31】**

제 30 항에 있어서, 상기 단결정 실리콘은 30~60초 동안 성장시키는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

**【청구항 32】**

제 30 항에 있어서, 상기 비정질실리콘이나 폴리실리콘의 성장은  
550~650℃로 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 33】

제 24 항에 있어서, 상기 실리콘 에피층 성장은

반응 가스로서 MS(monosilane :  $\text{SiH}_4$ )와  $\text{H}_2$  가스, 또는, DCS(Diclorosilane :  $\text{SiCl}_2\text{H}_2$ )와  $\text{H}_2$  가스를 사용하며, 도펀트로서  $\text{PH}_3$  가스를 사용하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 34】

제 24 항에 있어서, 상기 MS 가스 또는 DCS 가스의 유량은 100~500sccm,  $\text{H}_2$  가스의 유량은 2,000~20,000sccm으로 조절하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【청구항 35】

제 24 항에 있어서, 상기  $\text{PH}_3$  가스의 유량은

도핑 농도가  $1 \times 10^{19} \sim 10^{21}$  atoms/cc가 되도록 100~300sccm으로 조절하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

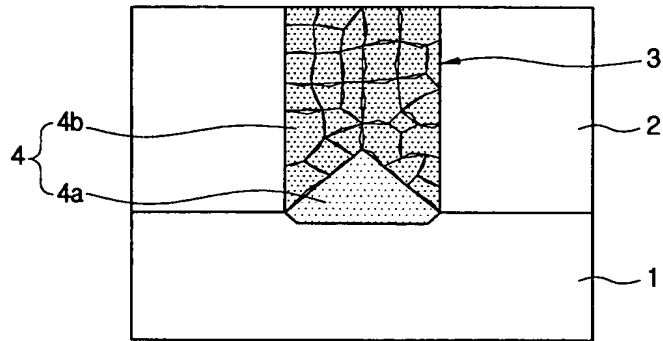
## 【청구항 36】

제 23 항에 있어서, 상기 실리콘 에피층 성장은

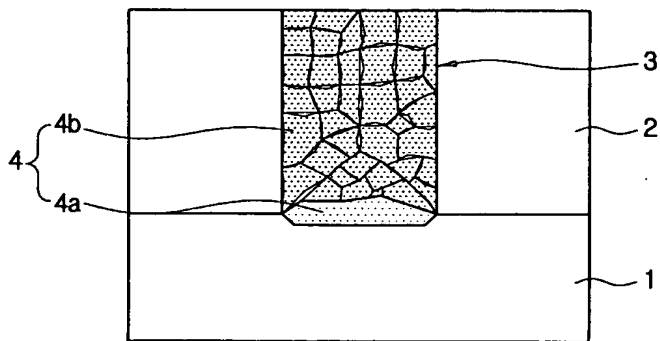
1~200Torr의 압력으로 수행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성방법.

## 【도면】

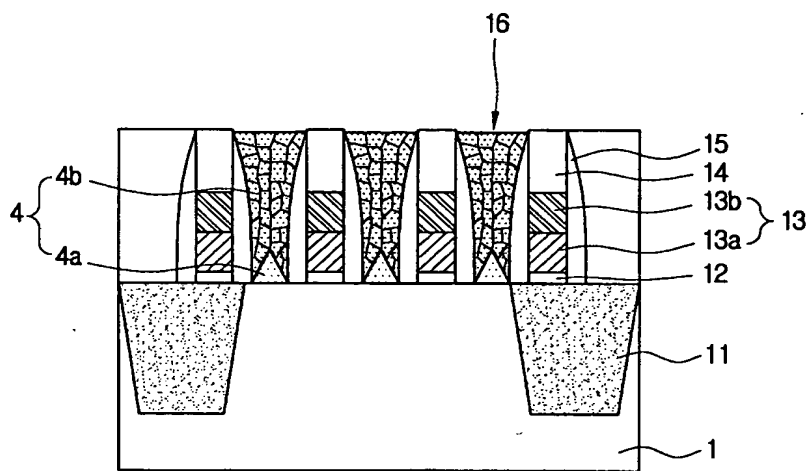
【도 1】



【도 2】



【도 3】



【도 4】

